



Karlsruher Institut für Technologie

Institut für Technische Informatik

Lehrstuhl für Rechnerarchitektur und Parallelverarbeitung

Prof. Dr. rer. nat. Wolfgang Karl

# **Klausur Rechnerstrukturen**

## **Wintersemester 2015/16**

### **Aufgabenteil**

30. März 2016

## Aufgabe 1: Verbindungsstrukturen und Fehlertoleranz

10 P

### Verbindungsstrukturen

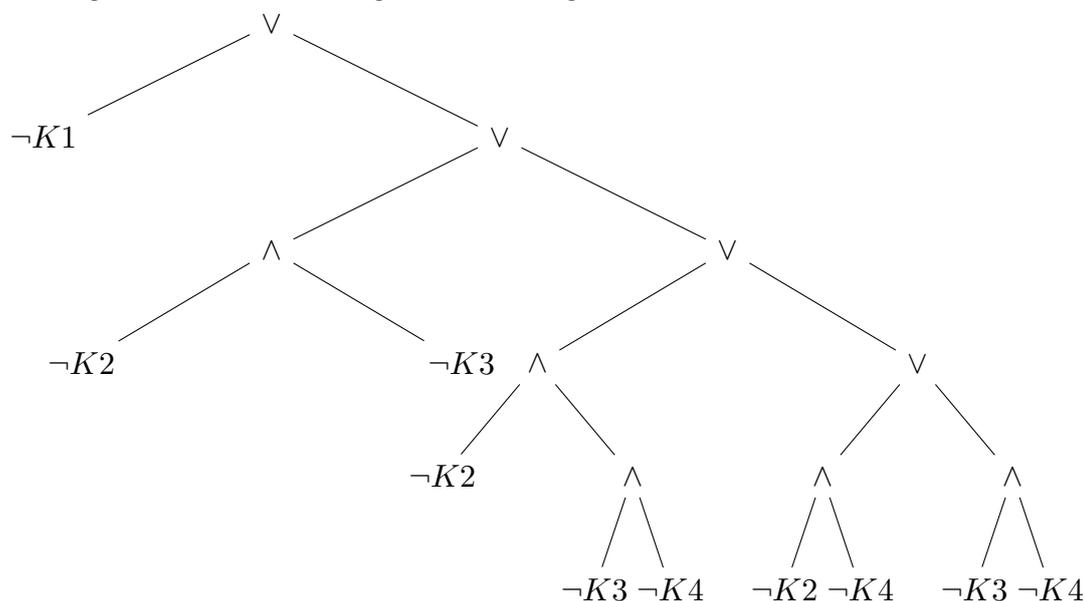
6 P

- a) Warum sind vollständige statische Verbindungsnetze nicht praktikabel in Parallelrechnern? 1 P
- b) Zeichnen Sie das Grundmuster des 3-stufigen Omega-Netzwerks mit 8 Eingängen und 8 Ausgängen und  $2 \times 2$  Crossbar Switches auf. Verwenden Sie hierfür als Hilfe die Vorgaben auf den Lösungsblättern. 2 P
- c) Geben Sie die allgemeine Formel zur Berechnung der Anzahl der für ein Omega-Netzwerk nötigen Crossbar Switches mit dem Switching-Grad  $k$  ( $k$  entspricht der Anzahl der Ein-/Ausgänge) abhängig von der Knotenzahl  $N$  an. 1 P
- d) Nennen Sie zwei Gründe, warum sich die Durchschalte-/Leistungsvermittlung nicht für Systeme mit kurzen Nachrichten und einer hohen Netzauslastung eignet. 1 P
- e) Was ist der Hauptunterschied zwischen den Übertragungsmodi „store and forward“ und „cut through“? 1 P

### Fehlertoleranz

4 P

- f) Gegeben sei der abgebildete Strukturbaum. Geben Sie das zu diesem Strukturbaum gehörende Zuverlässigkeitsblockdiagramm an. 2 P



- g) Gegeben sei die Systemfunktion  $S = (K1 \vee K2) \wedge (K3 \vee K4)$ . Geben Sie für diese Systemfunktion alle möglichen Fehlerbereiche  $B_i$  (außer der leeren Menge) an. 1 P
- h) Geben Sie den Zusammenhang zwischen der Fehlerwahrscheinlichkeit  $F_L(t)$  und der Überlebenswahrscheinlichkeit  $R(t)$  an. 1 P

---

## Aufgabe 2: Low-Power-Entwurf und Leistungsbewertung 10 P

### Low-Power-Entwurf 5 P

- a) Die Leistungsaufnahme  $P_{total}$  von CMOS-Schaltungen beinhaltet einen statischen und einen dynamischen Teil. Ordnen Sie die Bestandteile von  $P_{total}$  jeweils dem statischen bzw. dynamischen Teil zu und geben Sie an, welcher von der Schaltfrequenz unabhängige Beitrag zu  $P_{total}$  aufgrund der heutigen Miniaturisierung einen wesentlichen Beitrag zur Leistungsaufnahme leistet. 2,5 P
- b) Erklären Sie, wieso die Erhöhung der Taktfrequenz einer Schaltung typischerweise auch eine Erhöhung der Spannung erfordert. 1 P
- c) Zur Ermittlung der Schaltwahrscheinlichkeit einer Schaltung wird häufig ein statistisches Modell herangezogen. Geben Sie die allgemeine Formel zur Berechnung der Schaltwahrscheinlichkeit  $\mathbb{P}_{Schalt}$  an und berechnen Sie diese für ein XOR-Gatter mit  $\mathbb{P}_{Eingang1}(1) = \frac{1}{2}$  und  $\mathbb{P}_{Eingang2}(1) = \frac{3}{4}$ . 1,5 P

### Leistungsbewertung 5 P

- d) Zwei identische Prozessoren arbeiten dieselbe Problemstellung ab. Die Laufzeiten sowie der  $CPI$ -Wert beider Prozessoren seien hierfür identisch. Für Prozessor 1 ermitteln Sie einen  $MIPS$ -Wert von 1800, Prozessor 2 erzielt einen  $MIPS$ -Wert von 1000. Unter Beachtung von Codegröße und Energieverbrauch: Welchen Prozessor würden Sie einsetzen und warum? 1,5 P
- e) Zu einem Rechensystem liefert Ihnen der Hersteller zusätzlich zum  $MIPS$ - und  $CPI$ -Wert noch Taktfrequenz und  $SPEC_{int}$ -Wert. Welcher dieser Werte scheint Ihnen am sinnvollsten zur Beurteilung der Leistungsfähigkeit? Woher kommen die Eingabewerte zur Berechnung dieses Werts und wodurch zeichnet er sich gegenüber den anderen aus? 1,5 P
- f) Nennen Sie zwei grundlegende Möglichkeiten, Monitore zur Verhaltensbeobachtung von Rechnersystemen zu realisieren. Geben Sie jeweils einen spezifischen Vor- oder Nachteil an. 2 P

---

## Aufgabe 3: Quantitative Maßzahlen und Pipelining 10 P

### Quantitative Maßzahlen 5 P

- a) Geben Sie die Formel für das Gesetz von Amdahl an und erklären Sie die Bedeutung der unterschiedlichen Teile der Formel sowie der verwendeten Variablen. 1 P
- b) Eine Berechnung, die auf einem Einprozessorsystem  $T(1) = 30$  Sekunden Rechenzeit benötigt, liefert auf einem Mehrprozessorsystem nach  $T(15) = 1$  Sekunde ein Ergebnis. Wie nennt man dieses Verhalten und welcher Abschätzung der Beschleunigung widerspricht es? 1 P
- c) Erklären Sie, was eine solches Verhalten in der Praxis auf einem Mehrprozessorsystem im Unterschied zu einem Einprozessorsystem verursachen kann. 1 P
- d) Auf einem Mehrprozessorsystem mit 12 Kernen sind  $\frac{4}{5}$  eines Algorithmus parallel ausführbar. Bei der parallelen Ausführung werden 576 Einheitsoperationen ausgeführt. Die Rechenzeit des gesamten Algorithmus beträgt bei sequentieller Ausführung 90 Sekunden. Berechnen Sie für dieses System die Beschleunigung  $S$  sowie Parallelindex  $I$  und Auslastung  $U$ . 2 P

### Pipelining 5 P

- e) Nennen Sie 3 Arten von Konflikten, die in einer Prozessor-Pipeline auftreten können. 1,5 P
- f) Welche Lösungsstrategien gibt es, um solche Pipeline-Konflikte aufzulösen und welcher Nachteil ergibt sich daraus? 1,5 P
- g) Benennen Sie 2 Einschränkungen skalarer Pipelines und geben Sie jeweils eine mögliche Lösung mit an. 2 P

---

## Aufgabe 4: Hardware-Entwurf

**10 P**

- a) Nennen Sie zwei Möglichkeiten, wie die Steuerung eines Datenpfades in einem Prozessor realisiert werden kann und beschreiben Sie kurz das grundlegende Prinzip. *2P*
- b) Diskutieren Sie für **eine** der obigen Steuerungsmöglichkeiten folgende Punkte: *3P*
- Realisierung in Hardware
  - Reduzierung von Hardware-Kosten
  - Optimierungsmöglichkeiten für Leistungssteigerungen
- c) Nennen Sie zwei Sichten, wie das Ein-/Ausgabeverhalten eines Bausteins in VHDL spezifiziert werden kann und erklären Sie diese kurz. *2P*
- d) Geben Sie eine Beschreibung in VHDL an, die eine Blinklichtschaltung realisiert. Hierfür sollen Sie zunächst die dazugehörige Entity anfertigen. Zur Realisierung der Schaltung stehen Ihnen zwei Komponenten zur Verfügung. Eine Komponente (*DCM*) ermöglicht die Reduzierung des Eingabetaktes um den Faktor 12. Zudem steht Ihnen eine Zählerschaltung zur Verfügung, die den Takt weiter reduzieren kann. Der externe 150 MHz Takt soll dabei soweit reduziert werden, dass eine LED alle 2 Sekunden blinkt. *3P*

Vervollständigen Sie die gegebene Codeschablone und achten Sie dabei auf eine sinnvolle Benennung der Bezeichner!

---

## Aufgabe 5: Caches und Sprungvorhersage

**10 P**

### Caches

**6 P**

Ein Dreiprozessorsystem sei speichergekoppelt. Die Caches haben je eine Größe von zwei Cache-Zeilen, welche je genau ein Speicherwort aufnehmen können. Die Füllung des Caches erfolgt von der niedrigsten Cache-Zeile aufwärts, sofern noch freie Zeilen zur Verfügung stehen, andernfalls wird gemäß LRU-Strategie verdrängt. Als Cache-Kohärenzprotokoll komme das aus der Übung bekannte MOESI-Protokoll zum Einsatz. Der Cache sei initial leer. Aktionen, die durch das Cache-Kohärenzprotokoll ausgelöst werden und die eine Zustandsänderung einer Cache-Zeile bewirken, werden von der LRU-Strategie nicht als Zugriff gewertet.

- a) Vervollständigen Sie die auf dem Lösungsblatt angegebene Tabelle: Geben Sie jeweils Inhalt der Cache-Zeile und MOESI-Zustand an. 4 P
- b) Wie wird allgemein die Architektur genannt, bei der es für Daten und Befehle auf den höheren Ebenen getrennte Caches gibt? 1 P
- c) Wozu wird bei Caches ohne Kohärenzprotokoll das Dirty-Bit verwendet? 1 P

### Sprungvorhersage

**4 P**

- d) Bei einem Profiling-Lauf wird für zwei bedingte Sprünge  $S_1$  und  $S_2$  das auf dem Lösungsblatt angegebene Sprungmuster protokolliert. Gegeben sei ein (1,2)-Korrelationsprädiktor mit globalem Branch History Register und einem globalen Prädiktorsatz für beide Sprünge. Das Schieberegister sei mit *Not Taken*, die verwendeten 2-Bit-Prädiktoren seien jeweils mit *Weakly Taken* initialisiert. Füllen Sie die auf dem Lösungsblatt angegebene Tabelle aus. Kennzeichnen Sie den jeweils ausgewählten Prädiktor deutlich. 4 P

---

## Aufgabe 6: Parallelrechner und Speicherarchitekturen

10 P

- a) Geben Sie die einzelnen Klassen der Klassifikation von Rechnerarchitekturen nach Flynn an. Schreiben Sie die Namen vollständig aus und nennen Sie für zwei Klassen jeweils ein Beispiel. 2 P
- b) Müssen die Pipelines superskalarer Prozessoren zwingend nach dem „out of order“-Prinzip arbeiten? Erfordern „out of order“-Pipelines zwingend superskalare Prozessoren? Begründen Sie Ihre Antwort. *Hinweis: nur Antworten mit Begründung werden gewertet.* 3 P
- c) Superskalarität, Vektorverarbeitung und VLIW sind Konzepte zur Ausnutzung von Parallelität in Prozessorarchitekturen. Nennen Sie jeweils einen Vor- und Nachteil gegenüber einem oder beiden anderen Konzepten. 3 P
- d) Erklären Sie den wesentlichen Unterschied zwischen UMA- und NUMA-Architekturen und nennen Sie jeweils einen Vorteil für einen Anwendungsprogrammierer gegenüber der anderen Architektur. Welche Architektur würden Sie für eine Architektur mit einer hohen Anzahl an Prozessorkernen vorziehen? Begründen Sie. 2 P



Karlsruher Institut für Technologie

Institut für Technische Informatik

Lehrstuhl für Rechnerarchitektur und Parallelverarbeitung

Prof. Dr. rer. nat. Wolfgang Karl

# Klausur Rechnerstrukturen

## Wintersemester 2015/16

### Lösungsteil

Name: \_\_\_\_\_

Vorname: \_\_\_\_\_

Matrikelnummer: \_\_\_\_\_

Tragen Sie bitte auf jedem Blatt Ihren Namen und Ihre Matrikelnummer ein. Bitte tragen Sie alle Lösungen und Rechenwege an den vorgesehen Stellen ein und geben Sie keine zusätzlichen Blätter ab, ohne dies dem Aufsichtspersonal mitzuteilen.

**Hinweis:** Bei Rechenaufgaben ist die Angabe des Rechenwegs zwingend erforderlich. Ergebnisse ohne Rechenweg werden **nicht** gewertet.

Zum Bestehen der Klausur sind mindestens 20 Punkte erforderlich.

( ) Ich wünsche **keine** Notenveröffentlichung über einen anonymisierten Code auf der Website des Lehrstuhls.

*(Bei Ankreuzen kann die Note erst in der Klausureinsicht erfragt werden.)*

Erreichte Punkte (wird vom Institut ausgefüllt):

Aufgabe	1	2	3	4	5	6
Punkte	/10	/10	/10	/10	/10	/10
					Summe:	/60

# Aufgabe 1: Verbindungsstrukturen und Fehlertoleranz

10 P

## Verbindungsstrukturen

6 P

a) Antwort:

1 P

b) Omega-Netzwerk:

2 P

0

0

1

1

2

2

3

3

4

4

5

5

6

6

7

7

c) Formel:

1 P

d) Antwort: 1 P

•

•

e) Antwort: 1 P

**Fehlertoleranz** **4 P**

f) Zuverlässigkeitsblockdiagramm: 2 P

g) Mengen: 1 P

h) Zusammenhang: 1 P

**Aufgabe 2: Low-Power-Entwurf und Leistungsbewertung** **10 P**

**Low-Power-Entwurf** **5 P**

a)  $P_{total}$ : *2,5 P*

b) Zusammenhang Frequenz – Spannung: *1 P*

c) Schaltwahrscheinlichkeit und XOR-Gatter: *1,5 P*

**Leistungsbewertung** **5 P**

d) Prozessor und Begründung: *1,5 P*

e) Geeigneter Wert, Begründung:

1,5 P

f) Monitore und Eigenschaften:

2 P

- 

-

---

**Aufgabe 3: Quantitative Maßzahlen und Pipelining** 10 P**Quantitative Maßzahlen** 5 P

a) Formel für Amdahls Gesetz: 1 P

b) Verhalten und widersprechende Abschätzung: 1 P

c) Erklärung des Verhaltens in der Praxis: 1 P

- Einprozessorsystem:

- Mehrprozessorsystem:

d) Maßzahlen: 2 P

$$S(n) =$$

$$I(n) =$$

$$U(n) =$$

**Pipelining****5 P**

e) Pipeline-Konflikte:

1,5 P

- 
- 
- 

f) Lösungsstrategien und deren Folge:

1,5 P

g) Einschränkungen skalarer Pipelines:

2 P

- 
  
  
  
  
  
  
  
  
  
  
-

**Aufgabe 4: Hardware-Entwurf****10 P**

a) Steuerung Datenpfad:

*2P*

•

•

b)

*3P*

• Realisierung in Hardware

• Reduzierung von Hardwarekosten

• Optimierungsmöglichkeiten für Leistungssteigerungen

c) Sichten in VHDL:

*2P*

•

•

d) \_\_\_\_\_ blinklicht is

3P

```

PORT(
    clk : in std_logic;
    reset : in std_logic;
    _____ : out _____
);
END _____;

```

\_\_\_\_\_ of blinklicht is

```

COMPONENT counter
  GENERIC(countMax : positive);
  PORT(
    clk : in std_logic;
    out : out std_logic
  );
END COMPONENT

```

```

COMPONENT DCM
  PORT(
    clkin_in : in std_logic;
    rst_in : in std_logic;
    clkdv_out : out std_logic;
  );
END COMPONENT;

```

BEGIN

```

_____ : _____
_____ (
    clkin_in => _____,
    rst_in => _____,
    clkdv_out => _____,
);

```

\_\_\_\_\_ :

```

PORT MAP(
    clk => clkIn,
    out => _____
);

```

END \_\_\_\_\_;

## Aufgabe 5: Caches und Sprungvorhersage

10 P

### Caches

6 P

a)

4 P

Proz.	Aktion	Proz. 1		Proz. 2		Proz. 3	
		Zeile 1	Zeile 2	Zeile 1	Zeile 2	Zeile 1	Zeile 2
	init	-	-	-	-	-	-
1	rd 1						
3	rd 3						
2	rd 1						
3	wr 3						
1	rd 3						
2	wr 3						
3	rd 4						
1	rd 4						
2	rd 2						
3	rd 2						

b) Antwort:

1 P

c) Antwort:

1 P

**Sprungvorhersage****4 P**

d) Tabelle:

4 P

	Globaler Prädiktor	Vhs.	S1 Sprung	Globaler Prädiktor	Vhs.	S2 Sprung
1	( WT , WT )		NT	( , )		NT
2	( , )		T	( , )		NT
3	( , )		T	( , )		T
4	( , )		NT	( , )		NT

## Aufgabe 6: Parallelrechner und Speicherarchitekturen

**10 P**

a)

*2P*

b) •

*3P*

•

c) • Superskalarität

*3P*

+

-

• Vektorverarbeitung

+

-

• VLIW

+

-

d) • Erklärung Unterschied:

*2P*

– UMA:

– NUMA:

• Bevorzugte Architektur und Begründung: